

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020050014440 A  
 (43) Date of publication of application: 07.02.2005

(21) Application number: 1020030053077  
 (22) Date of filing: 31.07.2003

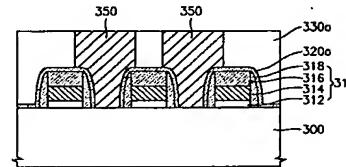
(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72) Inventor: CHOI, SANG JUN  
 HAN, JEONG NAM  
 HAN, WOO SUNG  
 HONG, CHANG KI  
 SHIM, WOO GWAN

(51) Int. Cl H01L 21 /28

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE USING POLYSILICON ETCH MASK TO FORM ETCH PROFILE OF DESIRED TYPE WITHOUT GENERATING THE SAME STRIATION AS PHOTORESIST

## (57) Abstract:

PURPOSE: A method for fabricating a semiconductor device using a polysilicon etch mask is provided to form an etch profile of a desired type without generating the same striation as photoresist by using a polysilicon layer pattern as an etch mask.  
 CONSTITUTION: An interlayer dielectric is formed on a semiconductor substrate. A polysilicon layer pattern is formed on the interlayer dielectric. The interlayer dielectric is etched to form a contact hole by using the polysilicon layer pattern as an etch mask. The polysilicon layer pattern is eliminated by an etch process in which etch selectivity is high with respect to the interlayer dielectric and the etch uniformity with respect to the front surface of a wafer is smaller than 3 percent. The contact hole is filled with a conductive material to form a contact(350).



copyright KIPO 2005

## Legal Status

Date of request for an examination (20030731)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20060116)  
 Patent registration number (1005555120000)  
 Date of registration (20060221)  
 Number of opposition against the grant of a patent ( )  
 Date of opposition against the grant of a patent (00000000)  
 Number of trial against decision to refuse ( )  
 Date of requesting trial against decision to refuse ( )

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

51) Int. Cl. 101L 21/28	(11) 공개번호 (43) 공개일자	10-2005-0014440 2005년02월07일
21) 출원번호 2003-0053077		
22) 출원일자 2003년07월31일		
71) 출원인 삼성전자주식회사 대한민국 442-742 경기도 수원시 영통구 매탄동 416		
72) 발명자 한정남 대한민국 100-453 서울특별시 종로구 신당3동 남산타운아파트 20-1501 성우관 대한민국 449-753 경기도 용인시 수지구 읍동성 1차 아파트 104동 1302호 한우성 대한민국 135-271 서울특별시 강남구 도곡 1동 역삼한신아파트 2동 1305호 홍창기 대한민국 463-500 경기도 성남시 분당구 구미동 무지개마을 삼성아파트 1007동 302호 최상준 대한민국 143-203 서울특별시 광진구 구의 3동 223-1번지 302호		
74) 대리인 이영필		
77) 심사청구 있음		
54) 출원명 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법		

**조약**

폴리실리콘막을 식각 마스크로 사용하여 반도체 소자를 제조하는 방법에 대하여 개시한다. 본 발명의 일 실시예에 의하면 게이트 구조물이 형성된 반도체 기판 상에 실리콘 질화막으로 식각방지막을 형성하고, 그 위에 층간 절연막을 증착한다. 그리고, 층간 절연막 상에 폴리실리콘막 패턴을 형성한다. 그리고, 이 폴리실리콘막 패턴을 식각 마스크로 사용하여 층간 절연막을 식각함으로써 콘택 훌을 형성한다. 다음으로, 폴리실리콘 막 패턴을 제거한다. 폴리실리콘막을 제거할 때는 층간 절연막이나 실리콘질화막에 대하여 폴리실리콘의 식각 선택비가 큰 방법을 사용한다. 예를 들어, 폴리실리콘막 패턴을 제거하는 공정에는 리모트 플라즈마를 사용하는 화학적 건식 식각법을 사용할 수 있는데, 식각 가스인  $CF_4$  유량/ $O_2$  유량비는 총 가스 유량에 대한  $O_2$  가스의 유량비가 5% 내지 30% 사이인 것이 바람직한데, 예컨대  $CF_4$  유량/ $O_2$  유량비는 150sccm/60sccm 이상일 수 있다. 그리고, 리모트 플라즈마를 발생시키는 마이크로웨이브 동력을 550와트 이상인 것이 바람직하다. 계속해서, 콘택 훌에 도전 물질을 채워서 콘택을 만든다.

**내포도**

-4c

**경세서****근면의 간단한 설명**

근 1은 디자인 룰이 96nm인 반도체 소자에서 포토레지스트막 패턴을 마스크로 사용하여 자기정렬콘택 형성방식으로 콘택을 형성한 후의 SEM 사진이다.

근 2a 내지 도 2e는 종래 기술에 따라 폴리실리콘막 패턴을 식각 마스크로 사용하여 자기정렬콘택 형성방식으로 콘택을 형성하는 방법을 공정 순서에 따라 도시한 단면도이다.

근 3a 내지 도 3d는 본 발명의 바람직한 일 실시예에 따라 폴리실리콘막 패턴을 식각 마스크로 사용하여 콘택을 형성하는 방법을 공정 순서에 따라 도시한 단면도이다.

근 4a 내지 도 4c는 본 발명의 바람직한 다른 실시예에 따라 폴리실리콘막 패턴을 식각 마스크로 사용하여 자기정렬콘택 콘택 형성으로 콘택을 형성하는 방법을 공정 순서에 따라 도시한 단면도이다.

그림 5는 화학적 건식 식각 공정에서  $CF_4$ 의 유량에 따른 폴리실리콘막 패턴의 식각율과 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비를 도시한 그래프이다.

그림 6은 폴리실리콘막의 상대적인 식각율을 총 가스 유량에 대한  $O_2$  가스의 유량비 변화에 따라 도시한 그래프이다.

그림 7은 화학적 건식 식각 공정에서 마이크로웨이브의 동력에 따른 폴리실리콘막 패턴의 식각율과 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비를 도시한 그래프이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 구체적으로는 폴리실리콘막 패턴을 마스크로 이용하여 피식각 물질막을 식각하는 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 집적도는 계속 증가하고 있다. 집적도가 계속 증가하면 패턴의 사이즈는 계속 작아진다. 일반적으로 패턴 형성 공정에서 포토레지스트 패턴을 식각 마스크로 사용한다. 포토레지스트막은 노광 및 현상 공정을 통하여 원하는 모양 및 크기의 패턴을 용이하게 형성할 수 있기 때문에, 초기부터 반도체 제조 공정에 널리 사용되어져 왔다.

그런데, 최근에는 디자인 룰이 감소하면서 포토레지스트막 패턴을 식각 마스크로 사용하는 방법에서 한계가 노출되고 있다. 특히 디자인 룰이 10nm이하로 내려가면서 이러한 한계로 인하여 반도체 제조 공정에 많은 문제점을 노출하고 있다. 예를 들어, 포토레지스트 마스크를 사용하면, 식각 후에 잔존하는 물질막에 스트리에이션(striation)이 발생할 수 있다. 그리고, 식각 공정의 공정 마진이 작을 뿐만 아니라 식각된 물질막의 패턴도 원하는 모양대로 만들어지지 않을 수가 있다.

그림 1에는 디자인 룰이 96nm인 반도체 소자에서 포토레지스트막 패턴을 마스크로 사용하여 자기정렬콘택(SAC) 형성방법으로 콘택 훌을 형성한 후의 SEM 사진이 도시되어 있다. 도 1을 참조하면, 형성하고자 하는 패턴의 모양과 다른 콘택 모양이 다수 존재할 뿐만 아니라 패턴 모양이 기판의 위치에 따라서 상이한 문제점이 존재하고 있다.

상기한 문제점을 해결하기 한 가지 방법으로서 식각 마스크로서 실리콘질화막 패턴이나 폴리실리콘막 패턴을 사용하는 방법이 제시되고 있다. 실리콘 질화막 패턴이나 폴리실리콘막 패턴을 식각 마스크로 사용하면, 스트리에이션이 생기는 것을 방지할 수 있는 장점이 있다. 특히, 폴리실리콘막은 실리콘 질화막에 비하여 증착하기가 쉽다. 아울러, 폴리실리콘막 패턴을 식각 마스크로 사용하여 층간 절연막을 건식 식각할 경우에는 포토레지스트막 패턴을 식각 마스크로 사용하는 것보다 식각 공정의 마진이 증가하는 장점도 있다.

그림 2a 내지 도 2e에는 종래 기술에 따라 폴리실리콘 마스크를 사용하여 자기정렬콘택 형성방법으로 콘택을 형성하는 방법이 공정 순서에 따라 세세적으로 도시되어 있다.

그림 2a를 참조하면, 통상의 공정 기술을 사용하여 반도체 기판(100) 상에 게이트 구조물(110)을 형성한다. 게이트 구조물(110)은 예컨대 게이트 산화막(112), 게이트 도전막(114), 하드 마스크막(116) 및 측벽 스페이서(118)를 포함한다. 그리고, 게이트 구조물(110)이 형성된 반도체 기판(100) 상에 단자를 따라서 식각 방지막(120)을 형성한다. 식각 방지막(120)은 그 위에 형성될 층간 절연막에 대하여 식각 선택비가 큰 물질로 형성하는 것이 바람직하다. 예를 들어, 층간 절연막이 실리콘 산화막이면 실리콘 질화막으로 형성할 수 있다.

그림 2b를 참조하면, 식각 방지막(120) 상에 층간 절연막(130)을 형성한다. 층간 절연막(130)은 실리콘 산화물로 형성하는 것이 바람직하다. 다음으로, 층간 절연막(130) 상에 하드 마스크용 폴리실리콘막 패턴(140)을 형성한다. 폴리실리콘막 패턴(140)은 폴리실리콘막을 형성한 다음, 포토리소그라피 공정을 사용하여 패터닝함으로써 형성할 수 있다.

그림 2c를 참조하면, 폴리실리콘막 패턴(140)을 식각 마스크로 사용하여 층간 절연막(130)을 식각한다. 층간 절연막(130)을 식각할 때, 하드 마스크막(116) 및 측벽 스페이서(118)에 대하여 식각 선택비가 큰 물질을 식각 가스 또는 식각 용액으로 사용한다. 그리고, 계속해서 층간 절연막 패턴(130a)에 의해 노출된 식각 방지막(120)을 식각한다. 그 결과, 식각 방지막 패턴(120a)이 게이트 구조물(110) 상에 남으며, 게이트 구조물(110) 사이에는 반도체 기판(100)을 노출시키는 콘택 훌(H)이 형성된다.

다음으로, 식각 잔류물을 비롯한 불순물을 제거하기 위하여 세정 공정을 실시한다. 그런데, 종래 기술에 의하면 세정 공정에서 폴리실리콘 패턴(140)보다 층간 절연막 패턴(130a)이 더 많이 식각된다. 이러한 식각율의 차이는 자연 산화막의 제거나 식각 부산물의 제거를 위해서 불가피하다. 그 결과, 도 2c에 정선 원으로 표시된 부분과 같이 층간 절연막 패턴(130a)이 폴리실리콘막 패턴(140a)보다 더 깊게 식각된다.

다음으로, 콘택 훌(H)을 도핑된 폴리 실리콘(150)과 같은 도전성 물질로 채운다. 그 결과가 도 2d에 도시되어 있다. 도 2d를 참조하면, 종래 기술에 의할 경우 콘택 훌을 채우는 도핑된 폴리실리콘(150)의 내부에 보이드(void) 또는 시임(seam, S)이 형성될 수도 있다는 것을 알 수 있다. 그렇다면, 전술한 바와 같이 콘택 훌 형성 및 세정 공정에서 층간 절연막(130) 또는 층간 절연막 패턴(130a)의 식각율이 폴리실리콘막 패턴(140)의 식각율보다 더 커서, 폴리실리콘 패턴의 폭( $d_1$ )보다 층간 절연막 패턴의 폭( $d_2$ )이 더 크기 때문이다.

그림 2e를 참조하면, 층간 절연막 패턴(130a)이 노출될 때까지 폴리실리콘막 패턴(140)을 제거함과 동시에 도핑된 폴리실리콘(150)을 식각한다. 이 때, 건식 에치백이나 화학적 기계적 평탄화(CMP) 공정을 사용한다. 그 결과, 층간 절연막 패턴(130a) 사이에는 콘택(150a)이 만들어지며, 그 중에서 일부 콘택(150a)에는 보이드 또는 시임이 존재할 수도 있다.

그런데, 콘택(150a)에 시임(S)이 존재하면, 콘택(150a)의 면적이 감소하기 때문에 콘택 저항이 증가하는 문제가 발생한다. 특히, 시임(S) 내부에 식각 부산물이나 기타 불순물이 잔류하게 되면 저항이 증가할 뿐만 아니라 반도체 소자의 신뢰성을 떨어뜨릴 수가 있다.

상기한 문제를 해결하기 위하여 옥사이드 버핑 화학적 기계적 평탄화(oxide buffering CMP) 공정을 실시하기도 한다. 그러나, 옥사이드 버핑 CMP는 비용이 많이 들며, 또한 콘택(150a)에 존재하는 시임(S)을 완전히 없앨 수 없기 때문에 종래 공정의 문제점을 해결하는데 한계가 있다.

또한, 폴리실리콘막 패턴(140)을 식각 마스크를 사용하는 종래 기술에 의한 경우에는 이 폴리실리콘막 패턴(140)을 제거하는 공정이 콘택 훌(H)를 채운 다음에야 진행된다. 따라서, 콘택 훌(H)이 형성된 상태(도 2c의 상태)에서는 충간 절연막 패턴(130a) 상에 폴리실리콘막 패턴(140)이 남아 있어서 스캔닝 전자(scanning electron)을 흡수해버리기 때문에, SEM 사진 등으로는 콘택 훌(H)이 완전히 개구되었는지 인-라인으로는 검사할 수가 없다. 이 경우에, 콘택 훌(H)이 완전히 개구되었는지 확인하기 위해서는 파괴 검사를 해야만 한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 콘택 훌이 완전히 개구되었는지 여부에 대한 검사를 인-라인으로 실시할 수 있을 뿐만이 아니라 콘택 훌에 시임이 생기는 현상을 방지할 수 있으며, 아울러 제조비용을 절감할 수 있는 반도체 소자의 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 소자의 제조방법은 폴리실리콘막 패턴을 콘택 훌을 식각하기 위한 식각 마스크로 사용하며, 콘택 훌을 형성한 다음에는 충간 절연막 및/또는 식각 방지막에 대한 폴리실리콘막 패턴의 식각 선택비가 높은 식각 방법을 사용하여 폴리실리콘막 패턴을 제거한 다음, 도전 물질을 콘택 훌에 채워서 콘택을 만든다.

본 발명의 일 실시예에 따른 폴리실리콘 식각 마스크를 사용한 반도체 소자의 제조방법은 반도체 기판 상에 충간 절연막을 형성하는 단계, 상기 충간 절연막 상에 폴리실리콘막 패턴을 형성하는 단계, 상기 폴리실리콘막 패턴을 식각 마스크로 상기 충간 절연막을 식각하여 콘택 훌을 형성하는 단계, 상기 충간 절연막에 대하여 식각 선택비가 큰 식각 공정을 사용하여 폴리실리콘막 패턴을 제거하는 단계 및 상기 콘택 훌을 도전물질로 채워서 콘택을 형성하는 단계를 포함한다.

상기한 실시예의 일 측면에 따르면, 상기 충간 절연막을 형성하기 전에 상기 반도체 기판 상에 식각 방지막을 형성하는 단계 및 상기 폴리실리콘 막 패턴을 제거하는 단계 이후에 상기 콘택 훌에 노출된 식각 방지막을 식각하는 단계를 더 포함하며, 상기 폴리실리콘막 패턴을 제거하는 단계에서는 상기 식각 방지막에 대해서도 식각 선택비가 큰 식각 공정을 사용하여 상기 폴리실리콘막 패턴을 제거할 수 있다. 그리고, 상기 충간 절연막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 500이상이며 그리고 상기 식각 방지막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 2 이상이 되는 것이 보다 바람직하다.

이 경우에, 상기 폴리실리콘막 패턴을 제거하는 단계는 리모트 플라즈마를 사용하는 화학적 건식 식각법으로 수행할 수 있으며, 예를 들어 상기 충간 절연막이 실리콘 산화막이고, 상기 식각 방지막은 실리콘 질화막인 경우에, 상기 화학적 건식 식각법은  $CF_4$  가스 및  $O_2$  가스를 포함하는 식각 매체를 사용하여 수행할 수 있다. 그리고, 총 가스 유량에 대한  $O_2$  가스 유량은 약 5% 이상에서 약 30%이하인 것이 바람직하다. 그리고/또는 상기 리모트 플라즈마는 마이크로웨이브 동력을 사용하여 발생시키며, 상기 마이크로웨이브 동력은 550와트 이상인 것이 바람직하다.

상기한 실시예의 다른 측면에 따르면, 상기 충간 절연막이 실리콘 산화막이고, 상기 식각 방지막은 실리콘 질화막인 경우에, 상기 폴리실리콘막 패턴을 제거하는 단계는 회석 암모니아를 사용하는 습식 식각법으로 수행할 수도 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 제조방법은 반도체 기판 상에 도전체 패턴, 하드마스크막 및 특별 스페이서를 포함하는 도전라인 구조물을 형성하는 단계, 반도체 기판 상에 상기 도전라인 구조물을 덮는 충간 절연막을 형성하는 단계, 상기 충간 절연막 상에 폴리실리콘막 패턴을 형성하는 단계, 상기 폴리실리콘막 패턴을 식각 마스크로 사용하여 상기 충간 절연막을 식각하여 콘택 훌을 형성하는 단계, 상기 충간 절연막에 대하여 식각 선택비가 큰 식각 공정을 사용하여 폴리실리콘막 패턴을 제거하는 단계 및 상기 콘택 훌을 도전물질로 채워서 콘택을 형성하는 단계를 포함한다.

상기한 실시예의 일 측면에 따르면, 상기 도전 라인 구조물은 게이트 라인 구조물 또는 비트 라인 구조물일 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것이다. 도면에 있어서, 총 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

도 3a 내지 도 3d에는 본 발명의 바람직한 일 실시예에 따라 폴리실리콘막 패턴을 식각 마스크로 사용하여 콘택을 형성하는 방법이 공정 순서에 따라 도시되어 있다.

도 3a를 참조하면, 기판(200) 상에 절연막 예컨대 제1 충간 절연막(212)이 형성되어 있다. 그리고, 절연막은 그 내부에 하부 도전체를 포함한다. 하부 도전체는 도시된 바와 같이 콘택 패드(215)일 수 있다. 콘택 패드(215)는 도핑된 폴리실리콘 또는 금속 등으로 형성할 수 있다.

예속해서, 콘택 패드(215)를 포함하는 제1 충간 절연막(212) 상에 식각 방지막(220)을 형성할 수 있다. 식각 방지막(220)을 형성하는 공정은 임의적인데, 그 이유는 후술한다. 식각 방지막(220)은 예를 들어, 실리콘 질화막으로 형성할 수 있다. 계속해서, 식각 방지막(220) 상에 절연막 예컨대 제2 충간 절연막(230)을 형성하고, 제2 충간 절연막(230) 상에 식각 마스크로 사용하기 위한 폴리실리콘막 패턴(240)을 형성한다. 폴리실리콘막 패턴(240)은 예컨대, 폴리실리콘막을 형성한 다음, 포토리소그라피 공정을 이용하여 상기 폴리실리콘막을 패터닝함으로써 형성할 수 있다.

도 3b를 참조하면, 폴리실리콘막 패턴(240)을 식각 마스크로 사용하여 제2 충간 절연막(230)을 식각한다. 그 결과 내부에 콘택 훌(H)을 포함하는 제2 충간 절연막 패턴(230a)이 형성된다. 콘택 훌(H)은 콘택 패드(215) 등의 하부 도전체를 노출시키지만, 도시된 바와 같이 식각 방지막(220)이 있는 경우에는 식각 방지막(220)을 노출시킨다.

도 3c를 참조하면, 폴리실리콘막 패턴(240)을 제거한다. 폴리실리콘막 패턴(240)을 제거하는 공정 및 이때 사용하는 식각 매체는 다음의 공정 단계를 고려하여 선택한다.

첫째, 폴리실리콘막 패턴(240)을 식각할 경우에 그 하부에 형성되어 있는 절연막 예컨대 제2 충간 절연막(230a)은 거의 식각이 되지 않아야 한다. 특히, 디자인 둘이 100nm이하인 경우에는 제2 충간 절연막(230a)의 폭( $t_1$ )이 아주 작기 때문에, 측면 방향으로 식각이 많이 되지 않아야 한다. 즉, 폴리실리콘막 패턴(240)은 제2 충간 절연막(230a)에 대하여 높은 식각 선택비를 가져야 한다. 식각 선택비의 구체적인 기준은 제거되어야 할 폴리실리콘막 패턴(240)의 두께와 콘택 훌(H) 사이에 남아 있는 제2 충간 절연막(230a)의 폭( $t_1$ )

)에 따라 다를 수 있다. 실리콘산화막에 대한 폴리실리콘막 패턴의 식각 선택비는 30이상이 되는 것이 바람직하지만, 디자인 품질이 감소하여 콘택 툴 사이에 위치하는 실리콘산화막의 폭이 100nm 이하인 경우에는 50이상이 되는 것이 바람직하다.

둘째, 콘택 툴(H)에 의하여 노출되는 하부 도전체에 손상을 가하지 말아야 한다. 식각 공정에서 폴리실리콘막 패턴이 하부 도전체에 대하여 식각 선택비가 아주 높은 공정 조건을 사용하는 경우에는 도 3a에 기술한 바와 같이 식각 정지막(220) 형성 공정은 필요가 없다. 그러나, 하부 도전체가 실리콘 기판이거나 도핑된 폴리실리콘으로 형성된 콘택 구조물인 경우에는 그것의 손상을 방지하기 위해서 식각 정지막(220)을 형성하는 공정이 반드시 필요하다. 후자의 경우에는, 식각 정지막(220)에 대한 폴리실리콘막 패턴(240)의 식각 선택비는 커야 한다. 즉, 폴리실리콘막 패턴(240)을 제거하는 동안에 식각 정지막(220)은 계속 남아 있어서, 하부 도전체에 손상이 생기는 것을 방지할 수 있어야 한다.

세를 들어, 식각 마스크로 사용하는 폴리실리콘막 패턴을 약 1000 Å의 두께로 형성하는 경우에, 콘택 툴을 형성하기 위한 제2 층간 절연막의 식각 공정에서 약 300 Å의 손실이 발생하므로 남아있는 폴리실리콘막 패턴의 두께는 약 700 Å 정도이다. 그리고, 식각 정지막으로 사용하는 실리콘질화막을 약 100 Å의 두께로 형성하는 경우에, 콘택 툴을 형성하기 위한 제2 층간 절연막의 식각 공정에서 이것도 약 70 Å의 손실이 발생하므로 남아 있는 실리콘질화막의 두께는 약 30 Å 정도이다. 따라서, 실리콘질화막이 전부 소모되기 전에 폴리실리콘막 패턴을 제거하기 위해서는 실리콘질화막에 대한 폴리실리콘막의 식각 선택비가 최소한 25이상이 되어야 한다.

그리고, 웨이퍼 전면에 대하여 식각이 균일하게 이루어져야 한다. 왜냐하면, 웨이퍼의 중심부와 가장자리에서 식각을 차이가 크면, 식각 공정을 끝내하기가 용이하지 않을 뿐만이 아니라 웨이퍼 상의 위치에 따라서 불량이 발생하기가 쉽기 때문에 수율이 낮아진다. 식각이 균일하게 이루어지는지 여부는 다음의 식으로 표시되는 식각 균일도로 나타낸다. 폴리실리콘막 패턴을 제거하는 공정에서 웨이퍼 전면에 대한 식각 균일도는 약 3% 이하가 되는 것이 바람직하다.

$$\text{식각 균일도} (\text{etch uniformity}) = \frac{\text{최대 식각두께} - \text{최소 식각두께}}{2 \times \text{평균 식각두께}} \times 100$$

네를 들어, 폴리실리콘막 패턴을 제거하기 위하여 질산(HNO<sub>3</sub>):카브복실산(CH<sub>3</sub>COOH):불산(HF):탈이온수(DIW)가 40:2:1:20의 비율로 혼합되어 있는 폴리-에센트를 사용하는 경우나 또는 질산(HNO<sub>3</sub>):불산(HF)이 25:1로 섞여 있는 폴리-에센트를 사용하는 경우에는 실리콘산화막에 대한 폴리실리콘막의 선택비는 약 40이나 45정도로 높지만, 식각 균일도가 3% 보다 크기 때문에 폴리실리콘막 패턴을 제거하는데 사용하는 것은 바람직하지 않다.

다음은 실시예에 따른 폴리실리콘막 패턴(240)의 제거 공정은 상기한 첫 번째 및 두 번째 조건을 모두 만족시켜야 한다. 그리고, 세 번째 조건은 만족시키는 것이 바람직하다. 예를 들어, 제2 층간 절연막(230)이 실리콘산화막이고, 식각 정지막(220)이 실리콘질화막인 경우에, 상기한 조건을 만족시키는 폴리실리콘막 패턴(240)의 제거 공정은 다음 2가지가 있다.

첫째, 화학적 건식 식각(Chemical Dry Etch, CDE)법으로 폴리실리콘막 패턴(240)을 제거하는 것이다. 식각 가스로는 CF<sub>4</sub> 가스 및 O<sub>2</sub> 가스를 포함하는 식각 가스를 사용한다. 화학적 건식 식각은 식각 가스 내의 반응증과 제거하고자 하는 물질의 화학 반응을 유도하여 식각하는 방법으로 일반적으로 리모트 플라즈마를 이용한다. 다이렉트 플라즈마를 사용하여 폴리실리콘막 패턴(240)을 제거하는 것은 식각 방지막(220) 및/또는 하부 도전체에 손상을 유발시킬 수 있기 때문에 바람직하지 않다.

도 5에는 화학적 건식 식각을 사용할 경우, CF<sub>4</sub> 및 O<sub>2</sub>의 유량 변화에 따른 폴리실리콘막 패턴의 식각율과 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비를 보여주는 그래프가 도시되어 있다. 도시된 그래프는 마이크로웨이브 동력으로 400와트(W)를 인가하고, 압력은 30Pa 그리고 온도는 상온인 실험 조건에 얻어진 실험 결과를 근거로 도시한 것이다.

도 5를 참조하면, 폴리실리콘막 패턴의 식각율은 CF<sub>4</sub>의 유량 증가에 따라 지수 함수적으로 증가한다. 예컨대, CF<sub>4</sub>/O<sub>2</sub>의 유량비가 130sccm/8sccm인 경우에 폴리실리콘막 패턴의 식각율은 약 1500(Å/분)이지만, 유량비가 150sccm/60sccm인 경우에는 폴리실리콘막 패턴의 식각율은 약 3000(Å/분) 이상이다. 그리고, 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비도 CF<sub>4</sub>의 유량 증가에 따라 직선적으로 증가하지만 그 기울기는 상이하다. 예컨대, 유량비가 150sccm/60sccm인 경우에 실리콘질화막에 대한 폴리실리콘막 패턴의 선택비는 15보다 작다는 것을 알 수 있다. 반면, 실리콘산화막에 대한 폴리실리콘막 패턴의 선택비는 50이상이다.

도 6에는 총 가스 유량에 대한 O<sub>2</sub> 가스 유량비의 변화에 따른 폴리실리콘막의 식각율을 보여주는 그래프가 도시되어 있다. 도 6을 참조하면, 폴리실리콘막의 식각율이 높은 경우는 총 가스 유량에 대한 O<sub>2</sub> 가스의 유량비가 5% 이상 내지는 30% 이하가 되어야 함을 알 수 있다. 따라서, 이 범위 내에서는 폴리실리콘막에 대한 식각율이 상대적으로 크기 때문에 실리콘질화막 및 실리콘산화막에 대한 식각 선택비도 본 실시예에서 요구되는 충분한 값을 얻을 수 있다.

도 7에는 화학적 건식 식각을 사용할 경우, 리모트 플라즈마의 마이크로웨이브 동력 변화에 따른 폴리실리콘막 패턴의 식각율과 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비를 보여주는 그래프가 도시되어 있다. 도시된 그래프는 CF<sub>4</sub>/O<sub>2</sub>의 유량비가 150sccm/60sccm이며, 압력은 30Pa 그리고 온도는 상온인 실험 조건에서 얻어진 데이터를 근거로 도시한 것이다.

도 7을 참조하면, 마이크로웨이브 동력이 증가함에 따라 폴리실리콘막 패턴의 식각율과 실리콘산화막 및 실리콘질화막에 대한 폴리실리콘막 패턴의 식각 선택비가 서로 다른 기울기를 가지고 증가한다. 그리고, 상기한 예와 같이 실리콘산화막에 대한 폴리실리콘막 패턴의 식각 선택비가 약 500이상이고, 실리콘질화막에 대한 식각 선택비가 약 25이상이 되는 마이크로웨이브 동력은 약 550와트 이상이다.

실리콘산화막과 실리콘질화막에 대하여 폴리실리콘막 패턴이 높은 식각 선택비를 나타내는 두 번째 방법은 희석 암모니아를 사용하는 습식 식각 방법이다. 희석 암모니아를 사용하면 실리콘산화막에 대한 폴리실리콘막 패턴의 식각 선택비는 약 30 정도가 되며, 실리콘질화막은 희석 암모니아에는 거의 식각이 되지 않는다. 그리고, 식각 균일도도 3% 이내이다. 따라서, 희석 암모니아를 사용하는 방법은 콘택 툴 사이에 있는 실리콘산화막의 폭이 상대적으로 큰 경우에 폴리실리콘막 패턴을 제거하는데 사용할 수가 있다.

마지막으로 도 3c를 참조하면, 폴리실리콘막 패턴(240)을 제거한 다음에 콘택 툴(H)에 노출된 식각 방지막(220)을 식각한다. 그 결과, 제2 층간 절연막 패턴(230a) 하부에만 식각 방지막(220a)이 남고 콘택 패드(215)의 상면이 노출된다.

도 3d를 참조하면, 콘택 툴(H)을 도전 물질 예를 들어 도핑된 폴리실리콘 또는 금속 물질로 채운다. 그리고, 건식 에치백이나 CMP 등의 방법을 사용하여 제2 층간 절연막 패턴(230a)이 노출될 때까지 식각하면 도시된 바와 같이 콘택(250)이 만들어진다.

상기한 실시예에 의한 콘택 형성 방법은 도시되어 있는 구조에서만 적용이 가능한 것은 아니다. 예를 들어, 디램에서 스토리지 노드와 콘택 패드를 형성하기 위한 콘택 플러그 형성 공정, 커패시터 상부 전극과 금속 배선 라인을 형성하기 위한 금속 콘택 형성 공정 또는 코아/페리 영역에서 콘택 형성 공정 등 여러 가지 콘택 형성 공정에 상기한 실시예는 적용이 가능하다.

단 4a 내지 단 4c에는 본 발명의 바람직한 다른 실시예에 따라 폴리실리콘막 패턴을 식각 마스크로 사용하여 자기정렬콘택 형성방법으로 콘택을 형성하는 방법이 공정 순서에 따라 도시되어 있다.

본 실시예에 의하면, 폴리실리콘막 패턴(340)을 식각 마스크로 사용하여, 자기정렬콘택 형성방법으로 콘택 훌(H)을 형성하는 공정까지는 종래 기술과 동일하다. 본 실시예에서도 전술한 도 2c까지의 공정이 그대로 적용될 수 있다. 즉, 도 4a를 참조하면, 반도체 기판(300) 상에 콘택 훌(H)이 형성되어 있는 제1 층간 절연막 패턴(330a)이 형성되어 있다. 그리고, 제1 층간 절연막 패턴(330a)의 내부에는 게이트 산화막(312), 게이트 전막(314), 하드 마스크막(316) 및 측벽 스페이서(318)를 포함하는 게이트 구조물(310)이 형성되어 있고, 그 위에는 식각 정지막 패턴(320a)이 형성되어 있다. 그리고, 제1 층간 절연막 패턴(330a) 상에는 폴리실리콘막 패턴(340)이 형성되어 있다. 이 때, 전술한 바와 같이 콘택 훌(H) 형성 과정이나 그 이후에 세정 과정에서 폴리실리콘 보다 더 많이 식각되어서, 점선 원에 표시되어 있는 것과 같이 제1 층간 절연막 패턴(330a)의 폭이 폴리실리콘막 패턴(340)의 폭보다 더 좁다.

단 4b를 참조하면, 폴리실리콘막 패턴(340)을 제거하는 공정을 실시한다. 폴리실리콘막 패턴(340)을 제거하는데는 전술한 본 발명의 실시예에 더와 같이 식각 가스로서  $CF_4$  및  $O_2$ 를 사용하는 화학적 건식 식각법이나 희석 암모니아를 식각액으로 사용하는 습식 식각법을 이용할 수 있다. 폴리실리콘막 패턴(340)을 제거한 다음에는 콘택 훌(H)에 노출되어 있는 식각 방지막(320)을 제거한다.

예를 들어, 식각 마스크로 사용하기 위한 폴리실리콘막을 약  $1000\text{ \AA}$  정도의 두께로 형성할 수 있다. 이 폴리실리콘막은 자기정렬 방식으로 제1 층간 절연막을 식각하여 콘택 훌(H)을 형성하는 과정에서, 약  $250\text{ \AA}$  내지  $350\text{ \AA}$ 가 식각되어 없어진다. 결과적으로, 남아 있는 폴리실리콘막 패턴(340)의 두께는 약  $650\text{ \AA}$  내지  $750\text{ \AA}$  정도이다. 그리고, 예컨대 약  $100\text{ \AA}$  정도의 두께로 형성된 식각 방지막도 식각되어 없어지는데, 콘택 훌(H)이 형성된 다음에는 약  $30\text{ \AA}$  내지  $40\text{ \AA}$  정도만 남아 있을 수 있다.

따라서, 콘택 훌(H)에 의해 노출된 식각 방지막이 전부 소모되기 전에 폴리실리콘막 패턴(340)을 전부 제거하기 위해서는 식각방지막에 대한 폴리실리콘의 식각 선택비가 20이상, 바람직하게는 25이상이 되어야 한다. 도 5 및 도 6을 참조하여 전술한 바와 같이, 화학적 건식 식각법을 사용하는 경우에는  $CF_4/O_2$  유량비는 150sccm/60sccm 이상인 것이 바람직하다. 그리고, 리모트 플라즈마의 생성에 사용하는 마이크로웨이퍼 동체는 550와트 이상인 것이 바람직하다. 전술한 바와 같이 리모트 플라즈마를 사용한 화학적 건식 식각법을 사용하면, 웨이퍼 전면에 대한 식각 균일도도 3% 보다 낮다.

단 4c를 참조하면, 콘택(350)이 형성된 결과물이 도시되어 있는데, 콘택 훌(H)에 도전 물질을 채운 다음에 식각하는 제조 공정은 종전과 같다.

#### 발명의 효과

본 발명에 의하면 폴리실리콘막 패턴을 식각 마스크로 사용한다. 따라서, 포토레지스트를 사용하는 것과 같은 스트리에이션이 생기지 않고, 식각 프로파일도 원하는 모양을 얻을 수 있다. 아울러, 식각 공정에서 공정 마진이 증가하여 실리콘질화막에 비하여 공정이 쉽다.

또한, 실리콘산화막이나 실리콘질화막에 대하여 폴리실리콘막 패턴의 식각 선택비가 큰 방법을 사용하여 폴리실리콘막 패턴을 제거한다. 따라서, 콘택 훌 하부의 반도체 기판이나 도전체에 손상이 생기는 것을 방지할 수 있으며, 콘택 훌 사이의 층간 절연막이 과도 식각되어서 형성되는 콘택이 서로 단락되는 현상이 발생하는 것을 방지할 수 있다. 그리고, 웨이퍼 전면에 대해서도 균일한 식각이 이루어지기 때문에 수율도 향상시킬 수가 있다. 특히 리모트 플라즈마를 사용한 화학적 건식 식각법이나 희석 암모니아를 사용하는 습식 식각법을 사용하는 경우에는 옥사이드 CMP를 사용하는 경우보다 제조비용을 절감할 수 있으며, 시임 등에 의하여 반도체 소자의 특성이 열화되는 것을 방지할 수 있다.

그리고, 식각 마스크로 사용한 폴리실리콘막 패턴을 제거한 다음에 콘택 훌을 도전물질로 매립한다. 따라서, 폴리실리콘막 패턴을 제거한 다음에는 콘택 훌이 전부 개구되어 있는지를 인-라인으로 검사할 수가 있다. 그리고, 층간 절연막의 식각 공정이나 세정 공정에서 층간 절연막 폭이 폴리실리콘막 패턴의 폭보다 더 좁은 경우에도 콘택에는 시임 등이 생기지 않는다.

#### 57) 청구의 범위

##### 청구항 1.

반도체 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 폴리실리콘막 패턴을 형성하는 단계;

상기 폴리실리콘막 패턴을 식각 마스크로 상기 층간 절연막을 식각하여 콘택 훌을 형성하는 단계;

상기 층간 절연막에 대하여 식각 선택비가 크며, 웨이퍼 전면에 대한 식각 균일도가 3% 보다 작은 식각 공정을 사용하여 폴리실리콘막 패턴을 제거하는 단계; 및

상기 콘택 훌을 도전물질로 채워서 콘택을 형성하는 단계를 포함하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

##### 청구항 2.

제1항에 있어서,

상기 층간 절연막을 형성하기 전에 상기 반도체 기판 상에 식각 방지막을 형성하는 단계; 및

상기 폴리실리콘막 패턴을 제거하는 단계 이후에 상기 콘택 훌에 노출된 식각 방지막을 식각하는 단계를 더 포함하며,

상기 폴리실리콘막 패턴을 제거하는 단계에서 상기 식각 공정은 상기 식각 방지막에 대해서도 식각 선택비가 큰 공정을 사용하여 실시하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

##### 청구항 3.

제2항에 있어서,

상기 층간 절연막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 50이상이며 그리고 상기 식각 방지막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 25이상인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 4.

제3항에 있어서,

상기 폴리실리콘막 패턴을 제거하는 단계는 리모트 플라즈마를 사용하는 화학적 건식 식각법으로 실시하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 5.

제4항에 있어서,

상기 층간 절연막은 실리콘 산화막이고, 상기 식각 방지막은 실리콘 질화막이며, 상기 화학적 건식 식각법은  $CF_4$  가스 및  $O_2$  가스를 포함하는 식각 매체를 사용하여 수행하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 6.

제5항에 있어서,

상기 식각 매체의 총 유량에 대한 상기  $O_2$  가스의 유량비는 5% 내지 30% 사이인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 7.

제5항에 있어서,

상기 리모트플라즈마는 마이크로웨이브 동력으로 사용하여 발생시키며, 상기 동력은 550와트 이상인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 8.

제3항에 있어서,

상기 층간 절연막은 실리콘 산화막이고, 상기 식각 방지막은 실리콘 질화막이며, 상기 폴리실리콘막 패턴을 제거하는 단계는 희석 암모니아를 사용하는 습식 식각법으로 실시하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 9.

반도체 기판 상에 도전체 패턴, 하드마스크막 및 측벽 스페이서를 포함하는 도전라인 구조물을 형성하는 단계;

반도체 기판 상에 상기 도전라인 구조물을 넘는 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 폴리실리콘막 패턴을 형성하는 단계;

상기 폴리실리콘막 패턴을 식각 마스크로 상기 층간 절연막을 식각하여 콘택 툴을 형성하는 단계;

상기 층간 절연막에 대하여 식각 선택비가 크고, 웨이퍼 전면에 대한 식각 균일도가 3% 보다 작은 식각 공정을 사용하여 폴리실리콘막 패턴을 제거하는 단계; 및

상기 콘택 툴을 도전율질로 채워서 콘택을 형성하는 단계를 포함하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 10.

제9항에 있어서,

상기 도전 라인 구조물은 게이트 라인 구조물 또는 비트 라인 구조물인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 11.

제9항에 있어서,

상기 층간 절연막을 형성하기 전에 단차를 따라서 상기 도전라인 구조물 및 상기 반도체 기판 상에 식각 방지막을 형성하는 단계; 및

상기 폴리실리콘막 패턴을 제거하는 단계 이후에 상기 콘택 툴에 노출된 식각 방지막을 식각하는 단계를 더 포함하며,

상기 폴리실리콘막 패턴을 제거하는 단계에서 상기 식각 공정은 상기 식각 방지막에 대해서도 식각 선택비가 큰 공정을 사용하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 12.

제11항에 있어서,

상기 층간 절연막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 50이상이며 그리고 상기 식각 방지막에 대한 상기 폴리실리콘막 패턴의 식각 선택비는 25이상인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 13.

제12항에 있어서,

상기 폴리실리콘 패턴을 제거하는 단계는 리모트 플라즈마를 사용하는 화학적 건식 식각법으로 실시하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 14.

제13항에 있어서,

상기 층간 절연막은 실리콘 산화막이고, 상기 식각 방지막은 실리콘 질화막이며, 상기 화학적 건식 식각법은  $CF_4$  가스 및  $O_2$  가스를 포함하는 식각 매체를 사용하여 수행하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 15.

제14항에 있어서,

상기 식각 매체의 총 유량에 대한 상기  $O_2$  가스의 유량비는 5% 내지 30% 사이인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

제구항 16.

제13항에 있어서,

상기 리모트플라즈마는 마이크로웨이브 동력으로 사용하여 발생시키며, 상기 동력은 550와트 이상인 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

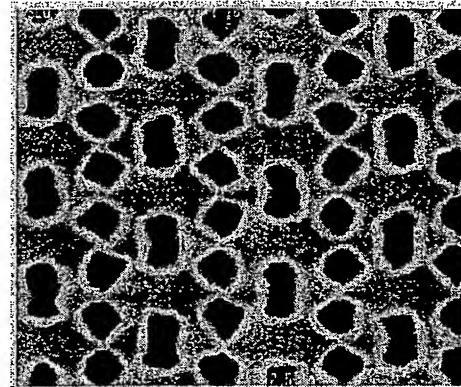
제구항 17.

제12항에 있어서,

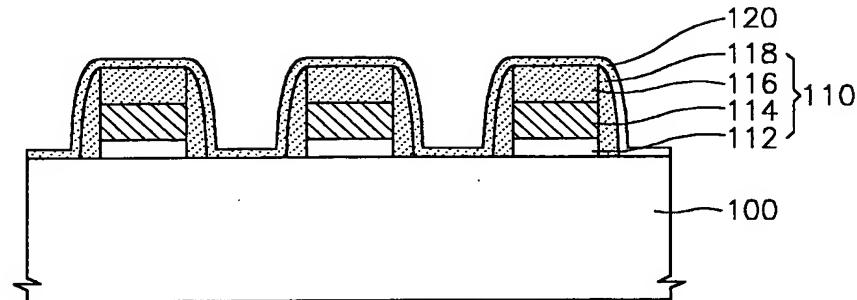
상기 층간 절연막은 실리콘 산화막이며, 상기 식각 방지막은 실리콘 질화막이며, 상기 폴리실리콘 패턴을 제거하는 단계는 희석 암모니아를 사용하는 습식 식각법으로 실시하는 것을 특징으로 하는 폴리실리콘 식각 마스크를 이용한 반도체 소자의 제조방법.

도면

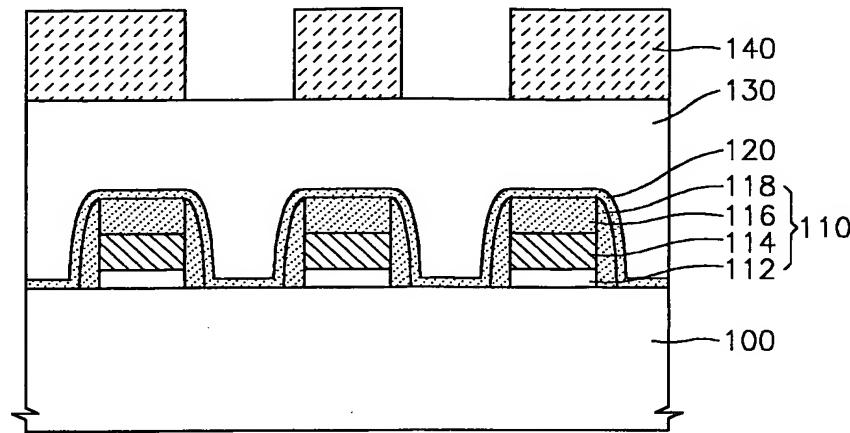
도면 1



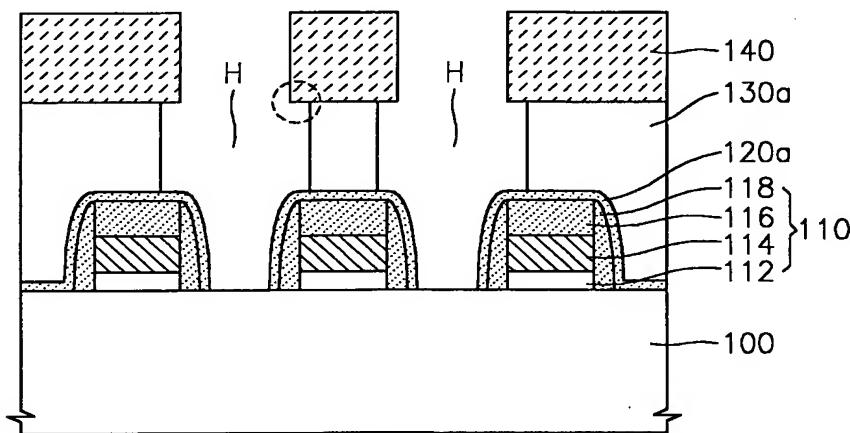
도면 2a



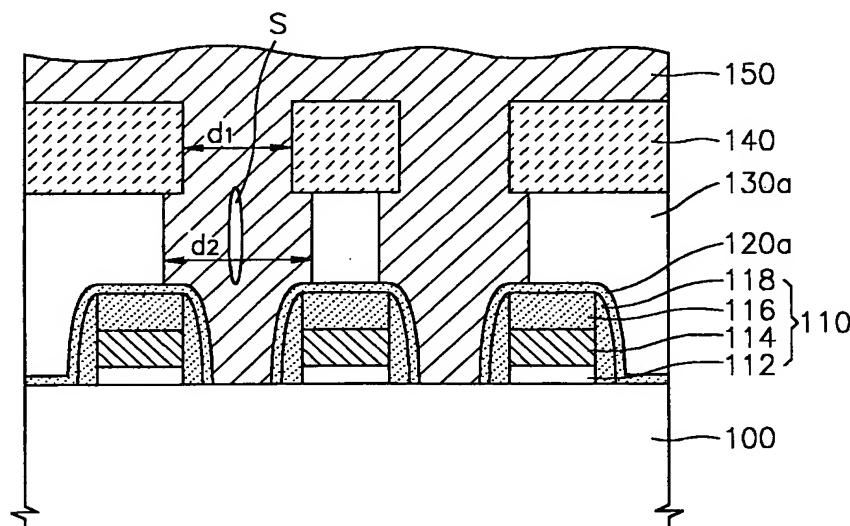
도면 2b



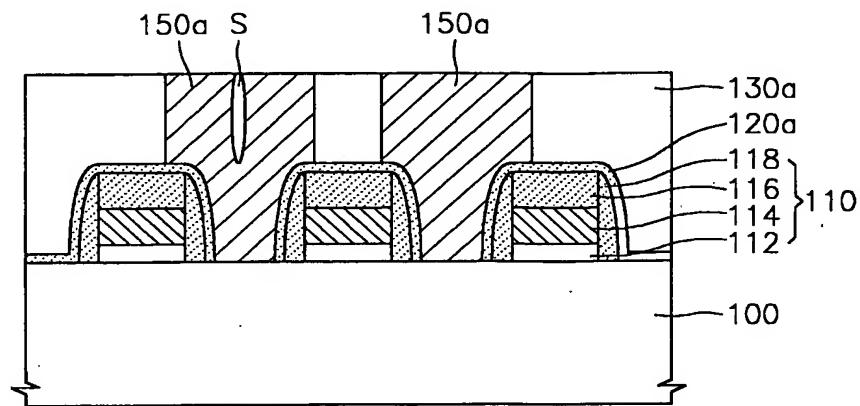
도면 2c



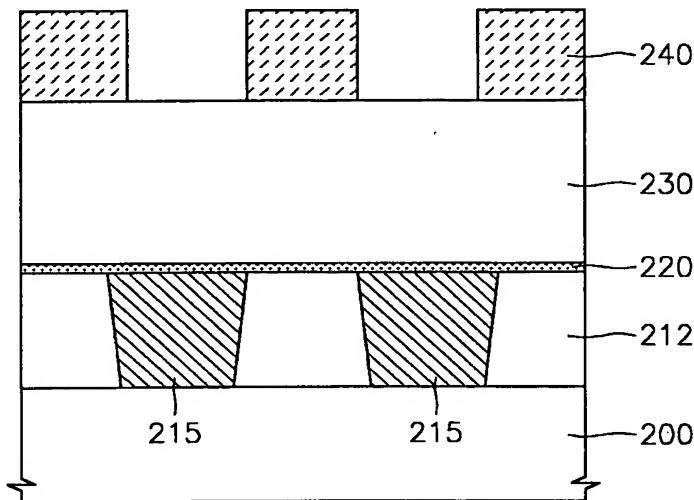
도면 2d



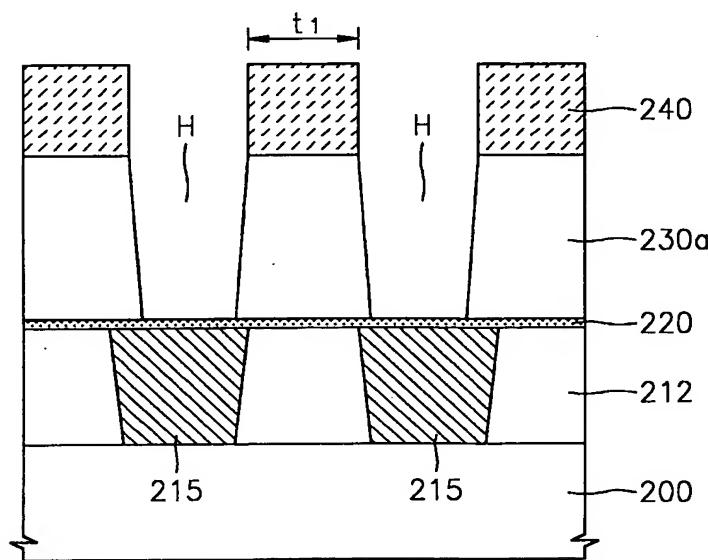
도면 2e



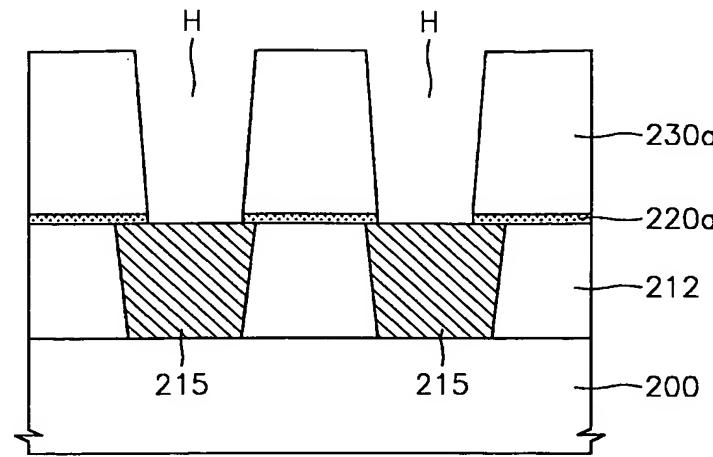
도면 3a



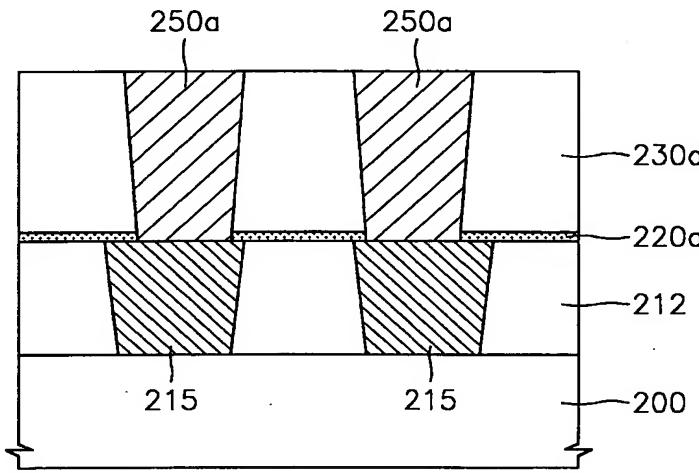
도면 3b



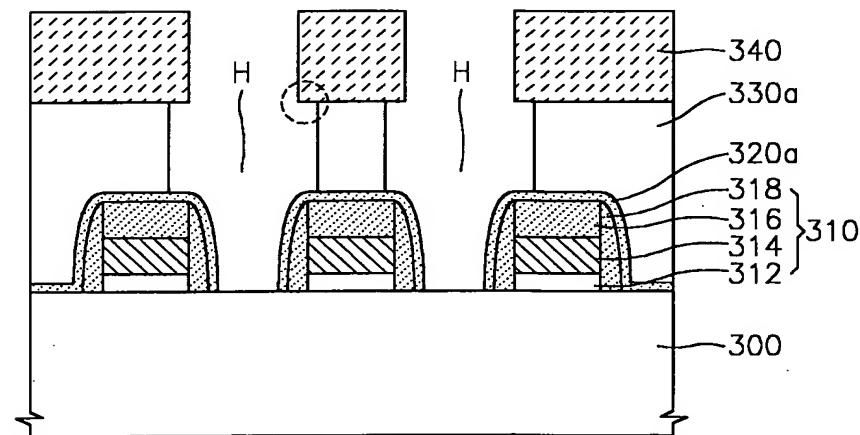
도면 3c



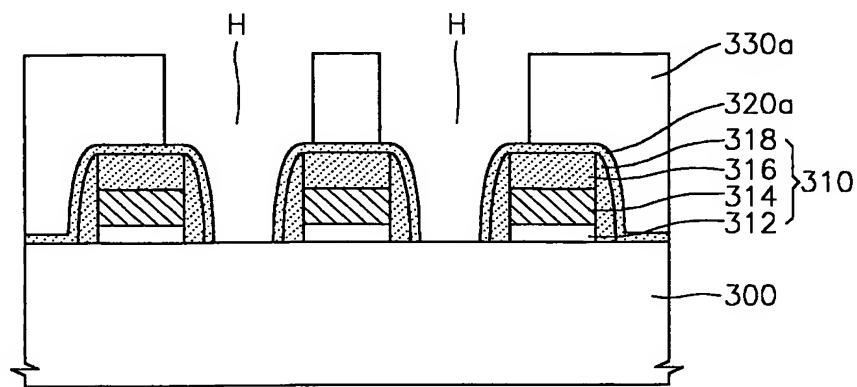
도면 3d



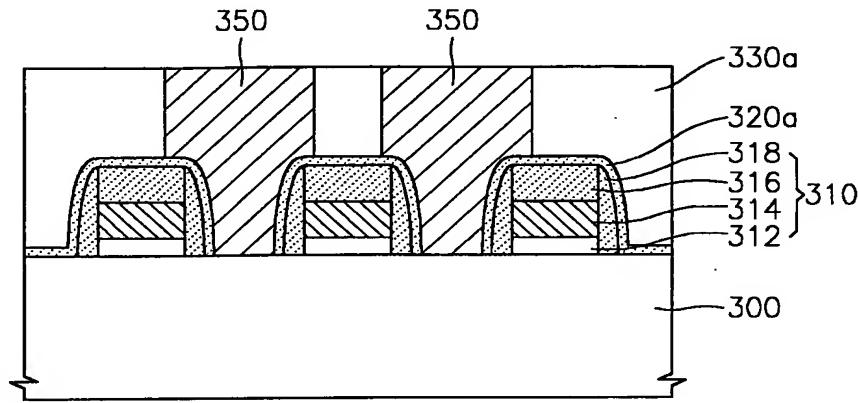
도면 4a



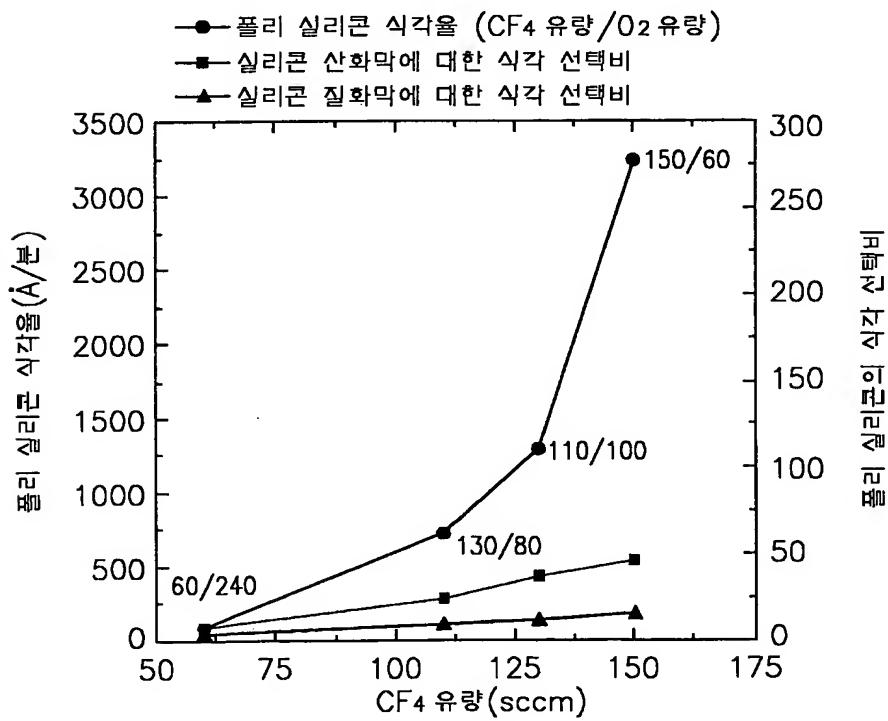
도면 4b



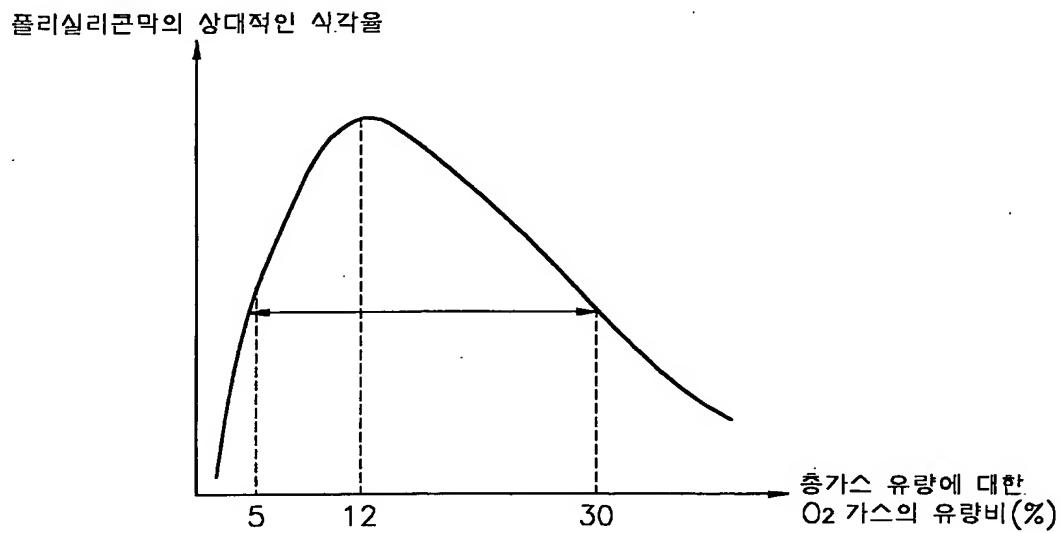
도면 4c



도면 5



도면 6



도면 7

